

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-305418

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl.<sup>9</sup>

識別記号

F I

G 0 3 F 1/08

G 0 3 F 1/08

A

7/20

5 2 1

7/20

5 2 1

H 0 1 L 21/027

H 0 1 L 21/30

5 0 2 P

審査請求 未請求 請求項の数15 O L (全 11 頁)

(21) 出願番号

特願平10-114904

(22) 出願日

平成10年(1998)4月24日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 岡阪 康彦

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

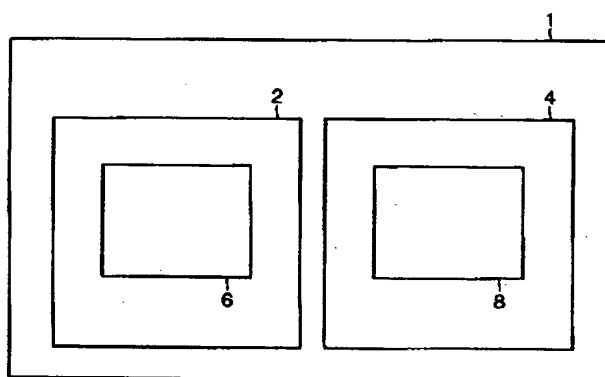
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 レチクルマスク、半導体製造装置および半導体装置の製造方法

(57) 【要約】

【課題】 複数の内部回路の候補がある場合であっても、短期間で特定の内部回路に絞込むことができるレチクルマスク、半導体製造装置および半導体装置の製造方法を提供する。

【解決手段】 本発明の実施の形態1におけるレチクルマスク1は、同一スペックおよび同一サイズのチップに対応するチップパターン2および4を含む。チップパターン2は、内部回路パターン6を含み、チップパターン4は、内部回路パターン8を含む。内部回路パターン6および8は、同一機能を実現する互いに回路構成の異なる回路に対応する。これにより、同一工程を経て、それぞれが候補となる内部回路を含むチップが製造される。同一条件下で、各チップの性能を評価することにより、内部回路パターン6または8を選択する。



**【特許請求の範囲】**

【請求項1】 同スペックを満たす複数のチップに対応する複数のチップパターンを備え、

前記複数のチップのそれぞれは、同一機能を実現する互いに構成の異なる内部回路を含む、レチクルマスク。

【請求項2】 前記複数のチップのサイズは、それぞれ実質的に同一である、請求項1記載のレチクルマスク。

【請求項3】 前記内部回路は、電気的特性が未確認の回路である、請求項1記載のレチクルマスク。

【請求項4】 1つのレチクルマスク上に同スペックを満たす複数のチップに対応する複数のチップパターンを形成するパターン形成手段と、

前記パターン形成手段により形成された前記複数のチップパターンを用いて、1枚のウェハから前記複数のチップパターンのそれぞれに対応する前記チップを製造する製造手段とを備え、

前記複数のチップのそれぞれは、同一機能を実現する互いに構成の異なる内部回路を含む、半導体製造装置。

【請求項5】 前記製造手段により製造される前記複数のチップパターンのそれぞれに対応する前記チップの性能を評価する評価手段をさらに備える、請求項4記載の半導体製造装置。

【請求項6】 前記複数のチップのサイズは、それぞれ実質的に均等である、請求項4記載の半導体製造装置。

【請求項7】 前記内部回路は、電気的特性が未確認の回路である、請求項4記載の半導体製造装置。

【請求項8】 前記複数のチップのサイズは、それぞれ実質的に均等である、請求項5記載の半導体製造装置。

【請求項9】 前記内部回路は、電気的特性が未確認の回路である、請求項5記載の半導体製造装置。

【請求項10】 1つのレチクルマスク上に同スペックを満たす複数のチップに対応する複数のチップパターンを形成するパターン形成ステップと、

前記パターン形成ステップにより形成された前記複数のチップパターンを用いて、1枚のウェハから前記複数のチップパターンのそれぞれに対応する前記チップを製造する製造ステップとを備え、

前記チップパターンのそれぞれに対応する前記チップは、同一機能を実現する互いに構成の異なる内部回路を含む、半導体装置の製造方法。

【請求項11】 前記製造ステップにより製造される前記複数のチップパターンのそれぞれに対応する前記チップの性能を評価する評価ステップをさらに備える、請求項10記載の半導体装置の製造方法。

【請求項12】 前記チップのそれぞれのサイズは、実質的に同一である、請求項10記載の半導体装置の製造方法。

【請求項13】 前記内部回路は、電気的特性が未確認の回路である、請求項10記載の半導体装置の製造方法。

【請求項14】 前記チップのそれぞれのサイズは、実質的に同一である、請求項11記載の半導体装置の製造方法。

【請求項15】 前記内部回路は、電気的特性が未確認の回路である、請求項11記載の半導体装置の製造方法。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、レチクルマスク、半導体製造装置および半導体装置の製造方法に関し、特に、短期間で搭載する内部回路を絞込み、チップ開発を行なうことができるレチクルマスク、半導体製造装置および半導体装置の製造方法に関する。

**【0002】**

【従来の技術】半導体装置（以下、チップと称す）を開発するにあたっては、予めシミュレーションにより搭載する内部回路を絞込むことが望ましい。

【0003】しかしながら、チップ開発に要する期間が短縮化する傾向にあり、またチップ自体の低電圧化、高集積化・微細化等により、シミュレーションの段階で複数の内部回路の候補の中から1つの内部回路を決定することが困難な状況になっている。

【0004】このため、従来より、特定の機能を実現するための内部回路として、論理構成の異なる複数の回路が候補に挙げた場合、これら複数の回路をすべて含むようにチップを構成する手法が取られている。以下、従来のチップの製造について、図9を用いて説明する。

【0005】図9は、従来のチップの製造に使用するチップパターン102の一例を概念的に示す平面図であり、一例として2つの内部回路の候補に対応する2つの内部回路パターンを含むチップパターン102が示されている。

【0006】図9に示すように、従来は、レチクルマスク100に、候補となる内部回路に対応する内部回路パターン104および106、結合配線パターン108、ならびにメタル配線パターン110を有するチップパターン102を形成する。

【0007】結合配線パターン108は、内部回路パターン104または106と他の図示しない内部回路パターンとを電気的に結合するための配線である。

【0008】メタル配線パターン110は、結合配線パターン108と結合状態にある。メタル配線パターン110は、結合配線パターン108と内部回路パターン104または106とを結合するためのスイッチとしての役割を果たす。図9においては、内部回路パターン104が、メタル配線パターン110を介して結合配線パターン108と結合状態にある。

【0009】なお、これとともに、スイッチ部分を切替えたレチクルマスク、すなわち、内部回路パターン106とメタル配線パターン110とが結合状態（内部回路

パターン104とメタル配線パターン110とが非結合状態)になるレチクルマスクも作成しておく。

【0010】具体的に、複数の内部回路の候補から特定の内部回路に絞込みを行なう従来の手順を、フローである図10を用いて説明する。

【0011】図10は、従来のチップの製造方法の手順について説明するためのフローである。以下、説明のため、候補となる複数の内部回路のすべてを含む従来のチップを、チップ50と、内部回路パターン104に対応する内部回路を、内部回路C1と、内部回路パターン106に対応する内部回路を、内部回路C2とそれぞれ称す。

【0012】図10を参照して、チップ50に対応するレチクルマスク(図9に示す内部回路パターン104および106、ならびにスイッチ部分を含むレチクルマスク100、およびスイッチ部分を切替えたレチクルマスク)を製造する(ステップS10)。

【0013】続いて、図9に示すレチクルマスク100を用いて、ウェハ処理(たとえば、拡散/イオン打込み、フォトリソグラフィ/エッチング、CVD/メタライゼーション等)を行なう(ステップS11)。この時点で、内部回路C1(内部回路パターン104)が、他の内部回路と電気的に結合状態にある。

【0014】続いて組立・封止処理を行なう(ステップS12)。製造されたチップ50の検査、評価を行なう(ステップS13)。具体的には、内部回路C1を用いて、チップ50の性能評価が行なわれる。

【0015】次に、スイッチ部分の切替を行なう(ステップS14)。具体的には、スイッチ部分を切替えたレチクルマスクを用いて、新たにチップ50を製造する。この時点で、内部回路C2(内部回路パターン106)が、他の内部回路と電気的に結合状態にある。

【0016】続いて、製造されたチップ50の検査、評価を行なう(ステップS15)。具体的には、内部回路C2を用いて、チップ50の性能評価が行なわれる。

【0017】次に、ステップS13およびS15における評価結果を用いて、候補となる内部回路C1またはC2のうち、いずれの内部回路を採用するかを判定する(ステップS16)。

【0018】このような手順で、複数の内部回路の候補のなかから、いずれか一つを絞込む(選択する)。そして、選択された内部回路パターンにスイッチ部分を接続したレチクルマスクを用いて、チップが量産される(ステップS17)。

【0019】

【発明が解決しようとする課題】しかしながら、従来の製造手法を用いた場合、候補となる内部回路をすべて1つのチップ内に設けるため、実チップ上で稼働しない回路(選択されなかった回路)の存在によりチップ面積を増大させてしまうという問題があった。

【0020】また、スイッチ部分のメタル配線をつなぎかえるためのレチクルマスクが必要となる。

【0021】さらに、スイッチ部分を切換えるための工程が必ず必要とされる。このため、製造効率の低下、開発期間の延長を招くという問題があった。

【0022】また、上述したように内部回路C1を用いてチップ50の評価を行なう時点と、内部回路C2を用いてチップ50の評価を行なう時点とは、評価条件が異なる。このため、精密な判定が行えないという問題があった。

【0023】そこで、本発明はかかる問題を解決するためになされたものであり、その目的は、複数の内部回路の候補がある場合に、短期間で効率よく1の内部回路に絞込みを行なうことができるレチクルマスク、半導体製造装置および半導体装置の製造方法を提供することにある。

【0024】さらに、本発明の他の目的は、複数の内部回路の候補がある場合であっても、チップ面積を増大することなく、チップを製造することができるレチクルマスク、半導体製造装置および半導体装置の製造方法を提供することにある。

【0025】

【課題を解決するための手段】請求項1に係るレチクルマスクは、同一スペックを満たす複数のチップに対応する複数のチップパターンを備え、複数のチップのそれぞれは、同一機能を実現する互いに構成の異なる内部回路を含む。

【0026】請求項2に係るレチクルマスクは、請求項1に係るレチクルマスクであって、複数のチップのサイズは、それぞれ実質的に同一である。

【0027】請求項3に係るレチクルマスクは、請求項1に係るレチクルマスクであって、内部回路は、電気的特性が未確認の回路である。

【0028】請求項4に係る半導体製造装置は、1つのレチクルマスク上に同一スペックを満たす複数のチップに対応する複数のチップパターンを形成するパターン形成手段と、パターン形成手段により形成された複数のチップパターンを用いて、1枚のウェハから複数のチップパターンのそれぞれに対応するチップを製造する製造手段とを備え、複数のチップのそれぞれは、同一機能を実現する互いに構成の異なる内部回路を含む。

【0029】請求項5に係る半導体製造装置は、請求項4に係る半導体製造装置であって、製造手段により製造される複数のチップパターンのそれぞれに対応するチップの性能を評価する評価手段をさらに備える。

【0030】請求項6に係る半導体製造装置は、請求項4に係る半導体製造装置であって、複数のチップのサイズは、それぞれ実質的に均等である。

【0031】請求項7に係る半導体製造装置は、請求項4に係る半導体製造装置であって、内部回路は、電気的

特性が未確認の回路である。

【0032】請求項8に係る半導体製造装置は、請求項5に係る半導体製造装置であって、複数のチップのサイズは、それぞれ実質的に均等である。

【0033】請求項9に係る半導体製造装置は、請求項5に係る半導体製造装置であって、内部回路は、電気的特性が未確認の回路である。

【0034】請求項10に係る半導体装置の製造方法は、1つのレチクルマスク上に同一スペックを満たす複数のチップに対応する複数のチップパターンを形成するパターン形成ステップと、パターン形成ステップにより形成された複数のチップパターンを用いて、1枚のウェハから複数のチップパターンのそれぞれに対応するチップを製造する製造ステップとを備え、チップパターンのそれぞれに対応するチップは、同一機能を実現する互いに構成の異なる内部回路を含む。

【0035】請求項11に係る半導体装置の製造方法は、請求項10に係る半導体装置の製造方法であって、製造ステップにより製造される複数のチップパターンのそれぞれに対応するチップの性能を評価する評価ステップをさらに備える。

【0036】請求項12に係る半導体装置の製造方法は、請求項10に係る半導体装置の製造方法であって、チップのそれぞれのサイズは、実質的に同一である。

【0037】請求項13に係る半導体装置の製造方法は、請求項10に係る半導体装置の製造方法であって、内部回路は、電気的特性が未確認の回路である。

【0038】請求項14に係る半導体装置の製造方法は、請求項11に係る半導体装置の製造方法であって、チップのそれぞれのサイズは、実質的に同一である。

【0039】請求項15に係る半導体装置の製造方法は、請求項11に係る半導体装置の製造方法であって、内部回路は、電気的特性が未確認の回路である。

【0040】

【発明の実施の形態】  
【実施の形態1】本発明の実施の形態1におけるレチクルマスク、当該レチクルマスクを用いた半導体装置の製造方法および半導体製造装置について説明する。

【0041】図1は、本発明の実施の形態1のレチクルマスク1におけるチップパターン2および4を表わす平面図である。

【0042】本発明の実施の形態1では、レチクルマスク1上に、候補となる内部回路パターンをそれぞれ含むチップパターンを用意する。具体的には、図1に示すように、チップパターン2および4を形成する。チップパターン2および4はともに、同一サイズおよび同一スペックを満たすチップに対応する。

【0043】チップパターン2は、内部回路パターン6を、チップパターン4は、内部回路パターン8をそれぞれ含む。内部回路パターン6および8は、同一機能を実

現するための回路パターンである。対応する内部回路は、互いに構成が異なり、電気的特性は、ともに未確認の状態にあるものとする。

【0044】次に、図1に示すレチクルマスク1を用いてチップを製造する工程について、フローである図2を用いて説明する。

【0045】図2は、本発明の実施の形態1におけるチップの製造方法の手順を示すためのフローである。以下、説明のため、チップパターン2に対応するチップをチップ10と、チップパターン4に対応するチップをチップ20と、内部回路パターン6に対応する内部回路を内部回路C1と、内部回路パターン8に対応する内部回路を内部回路C2とそれぞれ称す。

【0046】図2に示すように、まず図1に示すチップパターン2および4を含むレチクルマスク1を製造する（ステップS1）。続いて、レチクルマスク1を用いて、ウェハ処理を行なう（ステップS2）。

【0047】図3は、図1に示すレチクルマスク1を用いてウェハ処理を行なった場合の結果を説明するための概念図である。この場合、図3に示すように、レチクルマスク1により、ウェハ90上に、チップパターン2に対応する複数のチップ10、およびチップパターン4に対応する複数のチップ20が同時に形成される。

【0048】続いて図2を参照して、ウェハ処理（ステップS2）の後、組立・封止処理を行なう（ステップS3）。この時点で、モールド状態の複数のチップ10および20が完成する。

【0049】次に、チップ10および20についての検査、評価を同時に行なう（ステップS4）。具体的には、内部回路C1を含むチップ10の性能評価（ステップS4.1）、内部回路C2を含むチップ20の性能評価（ステップS4.2）をそれぞれ行う。

【0050】続いて、ステップS4.1およびS4.2における評価結果を用いて、内部回路C1およびC2のうち、いずれの内部回路を採用するかを判定する（ステップS5）。

【0051】このような手順で、複数の内部回路の候補（内部回路パターン6または8）のうち、いずれか一つが選択される。そして、選択された内部回路パターンに対応するチップパターンを用いて、チップが量産される（ステップS6）。

【0052】次に、具体例として、2つのダイプのプリアンプが候補として挙げた場合について、図4～図9を用いて説明する。

【0053】図4は、従来の製造方法により製造されるチップ50の構成の一例を示す図であり、図5（A）は、本発明の実施の形態1における製造方法により製造されるチップ10の構成の一例を示す図であり、図5（B）は、本発明の実施の形態1における製造方法により製造されるチップ20の構成の一例を示す図である。

【0054】図4に示す従来のチップ50は、メモリセルアレイ40. 1、40. 2、40. 3、および40. 4、ならびにプリアンプ帯42. 1、42. 2、42. 3、および42. 4を含む。

【0055】メモリセルアレイ40. 1、40. 2、40. 3、および40. 4（以下、総称してメモリセルアレイ40と称す）は、それぞれ図示しない行列状に配置された複数のメモリセルを含む。プリアンプ帯42.

1、42. 2、42. 3、および42. 4（以下、総称してプリアンプ帯42と称す）は、複数のプリアンプ52を含む。プリアンプ帯42のそれぞれは、メモリセルアレイ40に対応して設けられる。プリアンプ52は、対応するメモリセルアレイ40における選択されたメモリセルのデータを増幅する。

【0056】図5（A）に示すチップ10は、メモリセルアレイ40. 1、40. 2、40. 3、および40. 4、ならびにプリアンプ帯44. 1、44. 2、44. 3、および44. 4を含む。プリアンプ帯44. 1、44. 2、44. 3、および44. 4（以下、総称してプリアンプ帯44と称す）は、複数のプリアンプ54を含む。プリアンプ帯44のそれぞれは、メモリセルアレイ40に対応して設けられる。プリアンプ54は、対応するメモリセルアレイ40における選択されたメモリセルのデータを増幅する。

【0057】図5（B）に示すチップ20は、メモリセルアレイ40. 1、40. 2、40. 3、および40. 4、ならびにプリアンプ帯46. 1、46. 2、46. 3、および46. 4を含む。プリアンプ帯46. 1、46. 2、46. 3および46. 4（以下、総称してプリアンプ帯46と称す）は、複数のプリアンプ56を含む。プリアンプ帯46のそれぞれは、メモリセルアレイ40に対応して設けられる。プリアンプ56は、対応するメモリセルアレイ40における選択されたメモリセルのデータを増幅する。

【0058】なお、上述したように、図5（A）に示すチップ10および図5（B）に示すチップ20は、同一工程で製造される。

【0059】図4に示すプリアンプ52は、図9に示す内部回路パターン104および106に、図5（A）に示すプリアンプ54は、図1に示す内部回路パターン6に、図5（B）に示すプリアンプ56は、図1に示す内部回路パターン8にそれぞれ対応している。

【0060】図4に示すプリアンプ52は、図5（A）に示すプリアンプ54、図5（B）に示すプリアンプ56、ならびにプリアンプ54とプリアンプ56とを切替えるためのスイッチ部分を含んでいる。

【0061】より具体的に、プリアンプ52、54、および56の構成を、図6～図8を用いて、説明する。

【0062】図6は、図4に示す従来のプリアンプ52の具体的構成の一例を示す回路図である。また、図7

は、図5（A）に示すプリアンプ54の具体的構成の一例を、図8は、図5（B）に示すプリアンプ56の具体的構成の一例をそれぞれ示す回路図である。

【0063】図6に示すプリアンプ52は、Pチャネル型MOSトランジスタP1、P2、…、P19、Nチャネル型MOSトランジスタN1、N2、…、N12、インバータ回路I1およびI2、ならびにスイッチSW1、SW2、…、SW14を含む。スイッチSW1、SW2、…、SW14は、それぞれ端子A、および端子Bを含み、いずれか一方が回路素子と接続状態になる。図6においては、端子Bが接続状態となっている。

【0064】プリアンプ52は、プリアンプイネーブル信号PAEが、LレベルからHレベルに変化した時点でイネーブル状態となり、図示しない外部の回路（センスアンプ）から受ける入力データDIN、およびこれを反転した反転入力データZDINを増幅して出力データRD、およびこれを反転した反転出力データZRDを出力する。

【0065】スイッチSW1、SW2、…、SW14において、端子Aが接続状態にある場合は、新有田型プリアンプとして動作する。スイッチSW1、SW2、…、SW14において、端子Bが接続状態にある場合は、クロスカップリング型プリアンプとして動作する。

【0066】図7に示すプリアンプ54は、Pチャネル型MOSトランジスタP1、P2、…、P19、Nチャネル型MOSトランジスタN1、N2、…、N12、およびインバータ回路I1およびI2を含む。プリアンプ54は、新有田型プリアンプであり、図6に示すプリアンプ52において、端子Aが選択（接続状態）された回路に対応している。

【0067】図8に示すプリアンプ56は、Pチャネル型MOSトランジスタP1、P2、P4、P6、P7、P9、P11、…、P19、Nチャネル型MOSトランジスタN3、…、N7、N9、N11、N12、およびインバータ回路I1およびI2を含む。プリアンプ56は、クロスカップリング型プリアンプであり、図6に示すプリアンプ52において、端子Bが選択（接続状態）された回路に対応している。

【0068】図7に示すプリアンプ54および図8に示すプリアンプ56は、図6に示すプリアンプ52と同様、プリアンプイネーブル信号PAEがLレベルからHレベルに変化した時点でイネーブル状態となり、図示しない外部の回路（センスアンプ）から受ける入力データDIN、およびこれを反転した反転入力データZDINを増幅して出力データRD、およびこれを反転した反転出力データZRDを出力する。

【0069】このように、図7に示すプリアンプ54および図8に示すプリアンプ56は、ともに1つのタイプのプリアンプである。したがって、不要なトランジスタ部分およびスイッチ部分を設けないため、図6に示すプ

リアンプ52と比較してレイアウト面積が小さい。

【0070】また、1チップにおけるプリアンプの数は、メモリセルの数に応じて増加する。したがって、回路面積の小さいプリアンプ54および56をそれぞれ含むチップ10および20は、回路面積の大きいプリアンプ52を含むチップ50に比べ、チップサイズを縮小することができる。具体的に、図5(A)に示すチップ10または図5(B)に示すチップ20は、図4に示すチップ50に対して約1%分チップ面積を小さくすることができる。

【0071】このように、本発明の実施の形態1においては、候補となる内部回路をそれぞれ含む同一スペックおよび同一サイズのチップを、同一工程で製造することができる。これにより、同一条件下で、各チップの性能を評価することが可能となるため、量産するチップに搭載する内部回路を的確に絞込む（選択する）ことが可能となる。

【0072】また、1チップの中に候補である複数の内部回路、およびスイッチ部分を含ませる必要がないため、チップ面積の増大を抑えることができる。

【0073】また、従来の半導体装置の製造手順（図9）と比べて、本発明の実施の形態1における製造方法の手順によれば、スイッチ部分を切替える工程が不要となるため、開発期間を短縮化させることができる。また、スイッチ部分に対応するマスクを余分に製造する必要もない。この結果、短期間で、特定の内部回路に絞込みを行なうことができることになる。

【0074】なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

#### 【0075】

【発明の効果】以上のように、請求項1に係るレチクルマスクによれば、候補となる内部回路をそれぞれ含む同一スペックのチップを、同一工程で製造することができる。これにより、従来に比べて、内部回路を切替えるレチクルマスクが不要となる。また、同一工程で、それぞれの内部回路に対応するチップを製造することが可能となる。このため、同一条件下で、各チップの性能を評価することができる。この結果、量産するチップに搭載する内部回路を的確に絞込む（選択する）ことが可能となる。

【0076】請求項2に係るレチクルマスクは、請求項1に係るレチクルマスクであって、さらに製造されるチップは、すべてチップサイズが同一のものとする。これにより、いずれの内部回路に対応するチップが選択された場合であっても、チップを含む周辺回路との関係は、常に一定に保たれる。したがって、チップを含む装置全

体の開発期間を短縮することができる。

【0077】請求項3に係るレチクルマスクは、請求項1に係るレチクルマスクであって、特に電氣的に未確認の内部回路をそれぞれ含むチップを同一工程で製造することができる。したがって、シミュレーションにより特定の内部回路の絞込みができない場合であっても、実チップを用いて、的確に内部回路の絞込みを行なうことが可能となる。

【0078】請求項4に係る半導体製造装置によれば、1のレチクルマスクを用いて、候補となる内部回路をそれぞれ含む同一スペックのチップを、同一工程で製造することができる。これにより、従来に比べて、内部回路を切替えるレチクルマスクが不要となる。また、内部回路を切替える処理（スイッチ切替処理）が不要となる。さらに、チップ自体の面積が抑えられる。

【0079】請求項5に係る半導体製造装置は、請求項4に係る半導体製造装置であって、さらに製造されるチップについての評価を同時に行なう。これにより、同一条件下で、各チップの性能を評価することが可能となる。この結果、短期間で内部回路の絞込みを行ない、量産するチップを的確に決定（選択）することが可能となる。

【0080】請求項6に係る半導体製造装置は、請求項4に係る半導体製造装置であって、さらに製造されるチップは、すべてチップサイズが同一のものとする。これにより、いずれの内部回路に対応するチップが選択された場合であっても、チップを含む周辺回路との関係は、常に一定に保たれる。したがって、チップを含む装置全体の開発期間を短縮することができる。

【0081】請求項7に係る半導体製造装置は、請求項4に係る半導体製造装置であって、特に電氣的に未確認の回路をそれぞれ含むチップを同一工程で製造することができる。したがって、シミュレーションにより内部回路の絞込みができない場合であっても、実チップを用いて、的確に内部回路の絞込みを行なうことが可能となる。

【0082】請求項8に係る半導体製造装置は、請求項5に係る半導体製造装置であって、さらに製造されるチップは、すべてチップサイズが同一のものとする。これにより、いずれの内部回路に対応するチップが選択された場合であっても、チップを含む周辺回路との関係は、常に一定に保たれる。したがって、チップを含む装置全体の開発期間を短縮することができる。

【0083】請求項9に係る半導体製造装置は、請求項5に係る半導体製造装置であって、特に電氣的に未確認の回路をそれぞれ含むチップを同一工程で製造することができる。したがって、シミュレーションにより内部回路の絞込みができない場合であっても、実チップを用いて、的確に内部回路の絞込みを行なうことが可能となる。

【0084】請求項10に係る半導体装置の製造方法によれば、1のレチクルマスクを用いて、同一工程で候補となる内部回路をそれぞれ含む同一スペックのチップを製造することができる。これにより、従来に比べて、内部回路を切替えるレチクルマスクが不要となる。また、内部回路を切替える処理（スイッチ切替処理）が不要となる。さらに、チップ自体の面積が抑えられる。

【0085】請求項11に係る半導体装置の製造方法は、請求項10に係る半導体装置の製造方法であって、さらに製造されるチップについての評価を同時に行なう。これにより、同一条件下で、各チップの性能を評価することが可能となる。この結果、短期間で内部回路の絞込みを行ない、量産するチップを的確に決定（選択）することが可能となる。

【0086】請求項12に係る半導体装置の製造方法は、請求項10に係る半導体装置の製造方法であって、さらに製造されるチップは、すべてチップサイズが同一のものとする。これにより、いずれの内部回路に対応するチップが選択された場合であっても、チップを含む周辺回路との関係は、常に一定に保たれる。したがって、チップを含む装置全体の開発期間を短縮することができる。

【0087】請求項13に係る半導体装置の製造方法は、請求項10に係る半導体装置の製造方法であって、特に電氣的に未確認の回路をそれぞれ含むチップを同一工程で製造することができる。したがって、シミュレーションにより内部回路の絞込みができない場合であっても、実チップを用いて、的確に内部回路の絞込みを行なうことが可能となる。

【0088】請求項14に係る半導体装置の製造方法は、請求項11に係る半導体装置の製造方法であって、さらに製造されるチップは、すべてチップサイズが同一のものとする。これにより、いずれの内部回路に対応するチップが選択された場合であっても、チップを含む周辺回路との関係は、常に一定に保たれる。したがって、チップを含む装置全体の開発期間を短縮することができる。

【0089】請求項15に係る半導体装置の製造方法は、請求項11に係る半導体装置の製造方法であって、特に電氣的に未確認の回路をそれぞれ含むチップを同一

工程で製造することができる。したがって、シミュレーションにより内部回路の絞込みができない場合であっても、実チップを用いて、的確に内部回路の絞込みを行なうことが可能となる。

#### 【図面の簡単な説明】

【図1】 本発明の実施の形態1のレチクルマスク1におけるチップパターン2および4を表わす平面図である。

【図2】 本発明の実施の形態1におけるチップの製造方法の手順を示すためのフローである。

【図3】 図1に示すレチクルマスク1を用いてウェハ処理を行なった場合の結果を説明するための概念図である。

【図4】 従来の製造方法により製造されるチップ50の構成の一例を示す図である。

【図5】 本発明の実施の形態1における製造方法により製造されるチップ10および20の構成の一例を示す図である。

【図6】 図4に示す従来のプリアンプ52の具体的構成の一例を示す回路図である。

【図7】 図5（A）に示すプリアンプ54の具体的構成の一例を示す回路図である。

【図8】 図5（B）に示すプリアンプ56の具体的構成の一例を示す回路図である。

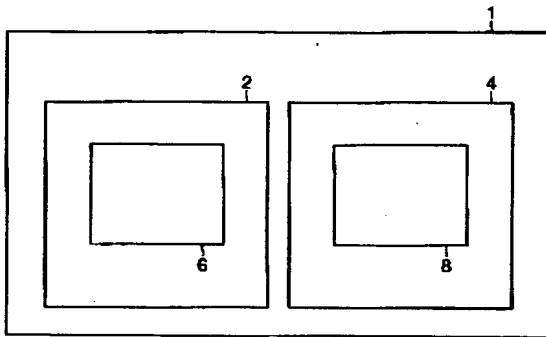
【図9】 従来のチップの製造に使用するチップパターン102の一例を概念的に示す平面図である。

【図10】 従来のチップの製造方法の手順について説明するためのフローである。

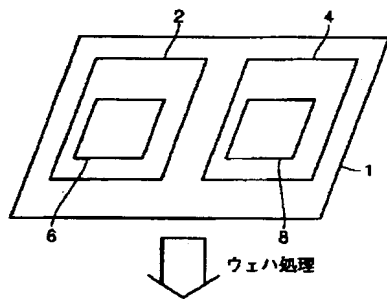
#### 【符号の説明】

1, 100 レチクルマスク、2, 4, 102 チップパターン、6, 8, 104, 106 内部回路パターン、10, 20, 50 チップ、52, 54, 56 プリアンプ、40, 1, 40, 2, 40, 3, 40, 4 メモリセルアレイ、42, 1, 42, 2, 42, 3, 42, 4, 44, 1, 44, 2, 44, 3, 44, 4, 46, 1, 46, 2, 46, 3, 46, 4 プリアンプ帯、P1～P19 Pチャネル型MOSトランジスタ、N1～N12 Nチャネル型MOSトランジスタ、I1, I2 インバータ回路、SW1～SW14 スイッチ。

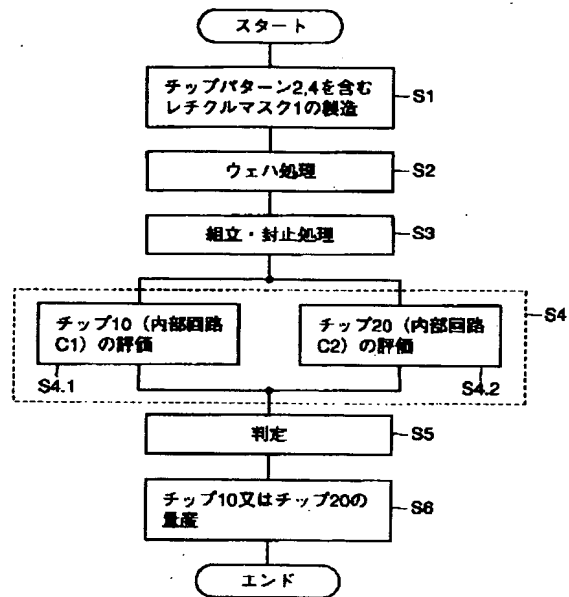
【図1】



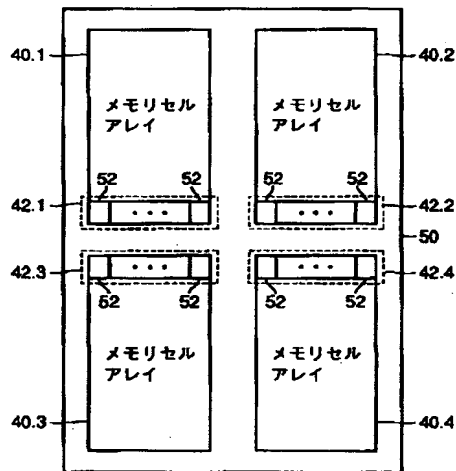
【図3】



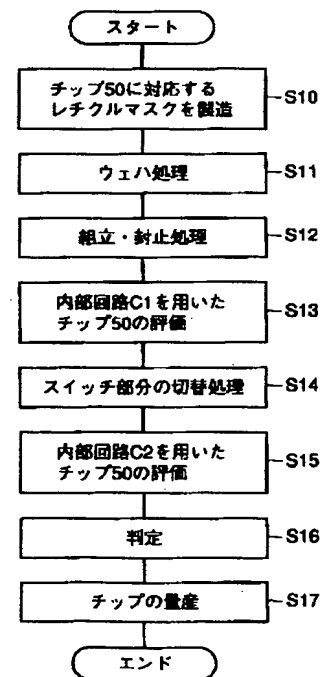
【図2】



【図4】

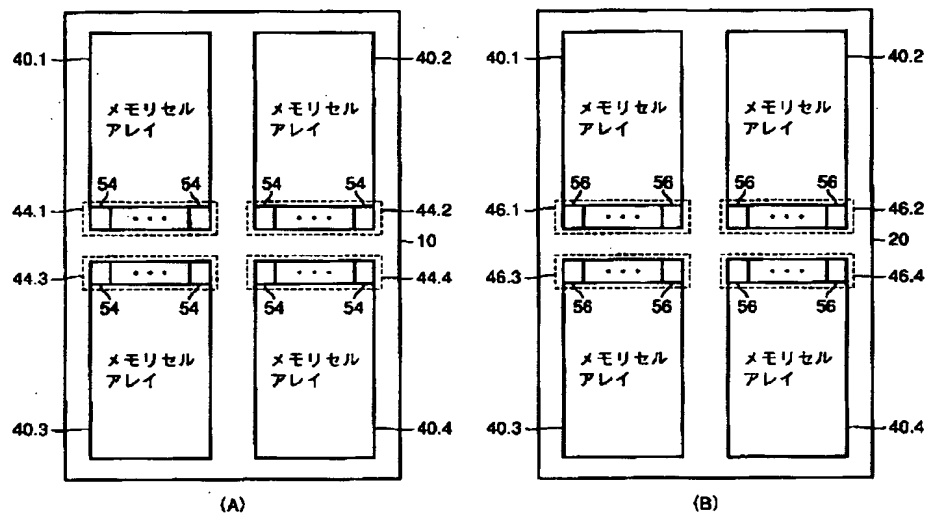


【図10】

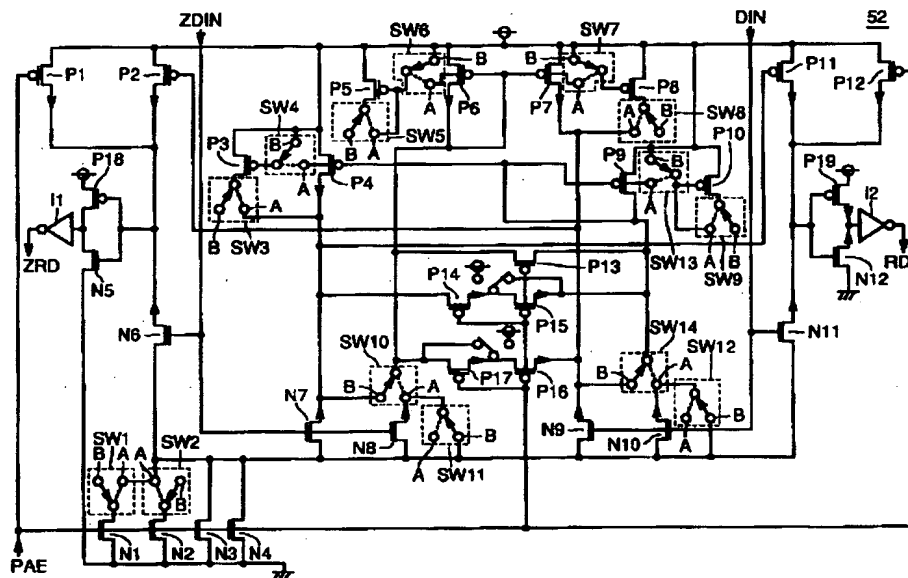




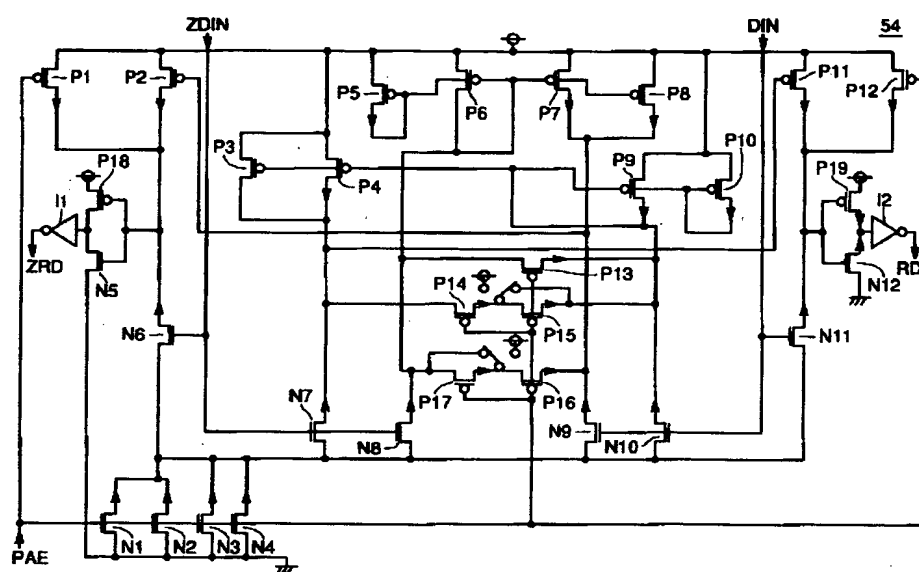
【図5】



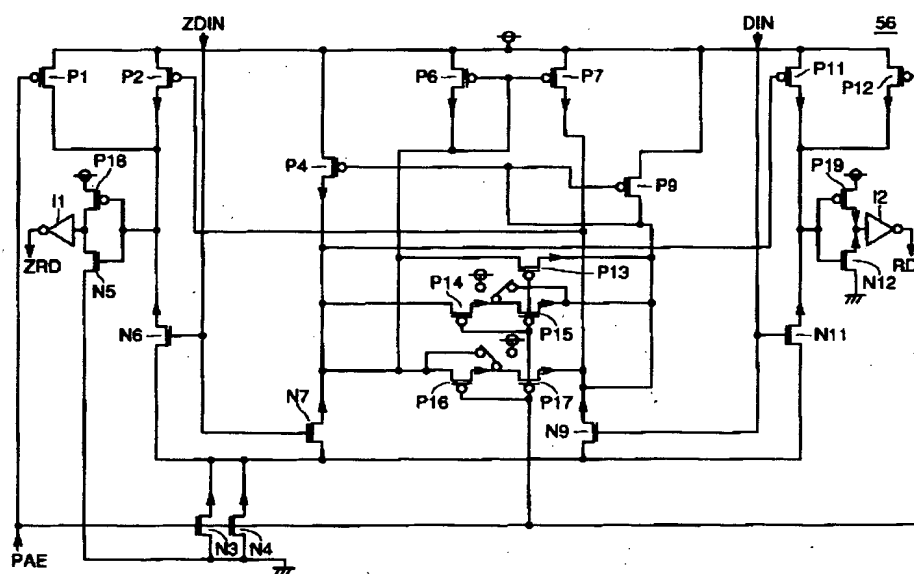
【図6】



【図 7】



【図 8】



【図9】

